Vivado HLS使用

内容：

1. 熟悉Vivado HLS的使用以及开发流程；

2.使用Vivado HLS进行C/C++算法的仿真验证；

3.对C语言的算法进行综合，查看RTL方则很难结果，并将设计进行IP封装；

操作步骤：

1.新建工程

2.添加设计资源文件

3.C代码仿真验证

关于优化，上面提到的两篇PDF文档里介绍的比较详细，在HLS软件界面，点击程序所在的文件，在右侧边栏有个Directive，里面列出了程序中所有用到的变量、函数和循环结构，点击右键可以给其配置。对循环结构，一般选择unroll（即展开循环），可以自己设定展开因子factor。为提高程序的并行化处理，可以给函数选择PIPELINE。对应数组，可以设置为ARRAY\_PARTITION，数组维数可以自己设定。HLS软件其实很智能的，简单的结构，一般软件自己会优化好。每一个优化方案都保存在一个Solution里，HLS可以创建多个Solution，用于比较不用的优化效果。

关于testbench编写，主要是在main函数里调用Top层函数，将Top层函数调用的计算的数据放在.dat文件里，然后与事先保存在另一个.dat文件里的数据进行比较，若一样，测试通过，main函数返回0。部分程序如下：

**fp=fopen("encode\_result.dat"，"w");**

**for(i=0;i<20;i++)**

**{**

**ksout=GenerateKeystream(k，IV，ks);**

**printf("%x\n"，ksout);**

**fprintf(fp， "%x\n"，ksout);**

**}**

**fclose(fp);**

**retval = system("diff --brief -w result.dat encode\_result.dat");**

**if (retval != 0)**

**{**

**printf("Test failed  !!!\n");**

**retval=1;**

**}**

**else**

**{**

**printf("Test passed !\n");**

**}**

4.算法综合-自动生成verilog、vhdl等其他文件

5.RTL仿真以及查看波形

5.1、HLS GUI操作

Solution > Run C/RTL Cosimulation，仿真完成后，需要在Vivado下查看仿真结果。

注意：Dump Trace选项要选择all，否则不会产生波形数据，位置如图1所示。

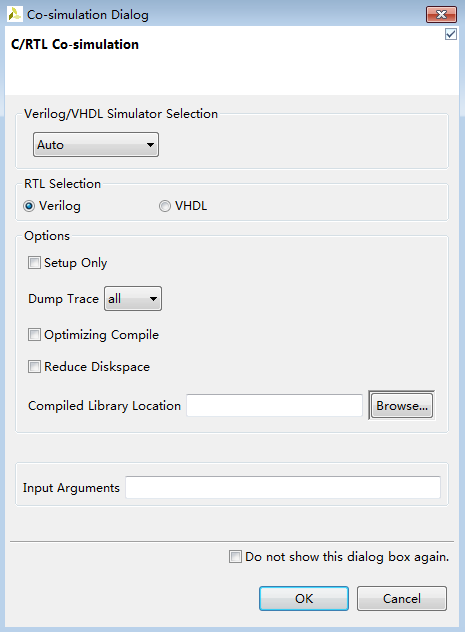


图1 Dump Trace

5.2、Vivado GUI操作

打开Vivado，在tcl控制台下键入以下指令：

Cd C:\Users\Administrator\mux21\solution1\sim\verilog\

current\_fileset

open\_wave\_database mux21.wdb

open\_wave\_config mux21.wcfg

cd C:\Users\Administrator\Desktop\hier\_func\solution1\sim\verilog\

current\_fileset

open\_wave\_database hier\_func.wdb

open\_wave\_config hier\_func.wcfg

注释：更改路径

加载工程

加载仿真数据

打开波形窗口

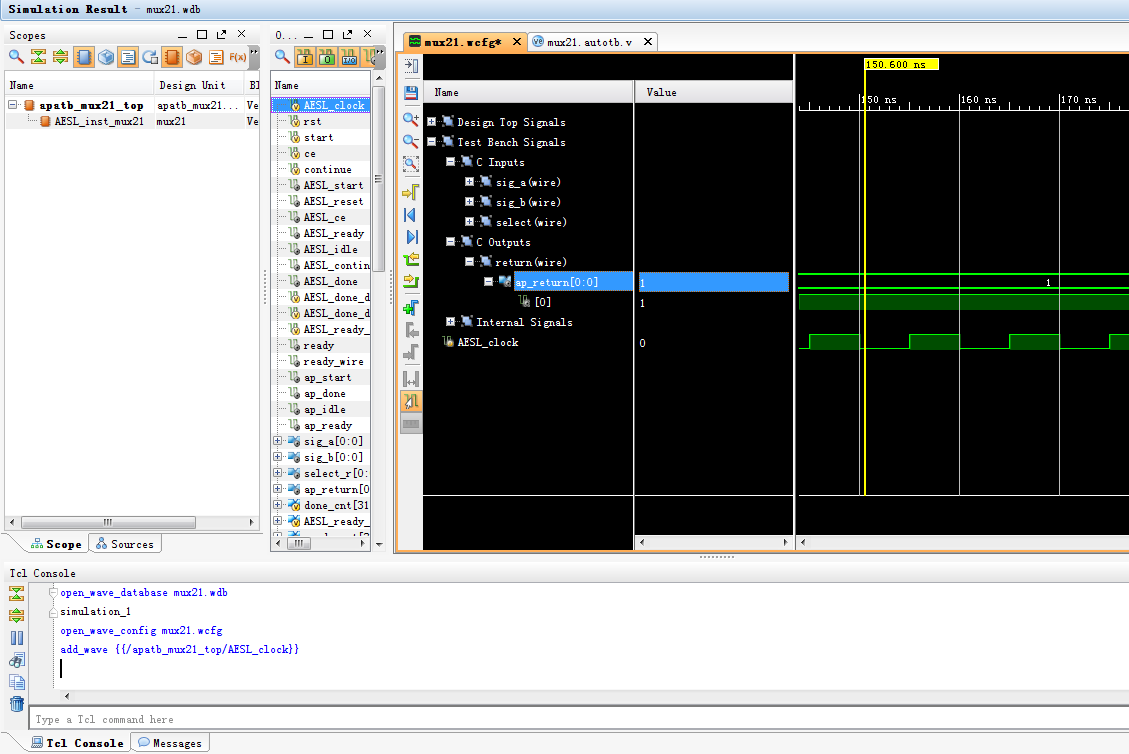


图2 仿真结果

6.IP封装

Solution > Export RTL,或点击工具栏快捷按钮http://files.chinaaet.com/images/blog/2014/08/05/468364771023.bmp，打开Export RTL对话框，如图所示。

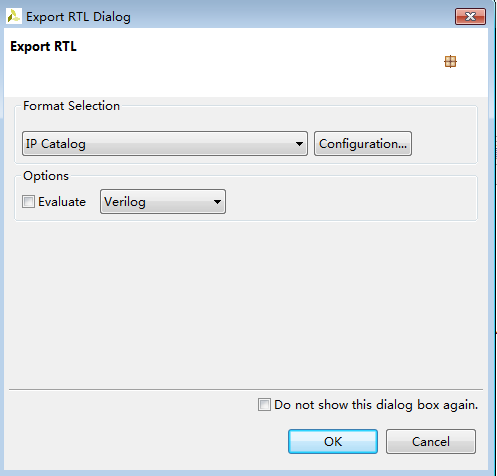


图3 Export RTL

命令行会打印提示整个IP封装过程，如图4所示。

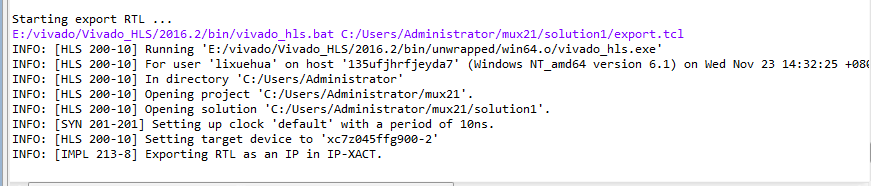


图4 IP封装打印信息

如图5所示，IP封装完成后，solution1文件夹下会出现impl文件夹，该文件夹下包含ip、verilog、vdhl三个子文件夹，在这些文件夹中，我们可以找到封装过程中生成的文件。

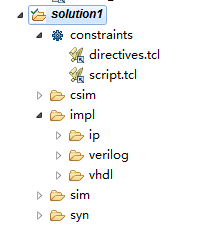


图5

至此，我们完成了利用HLS工具进行算法设计的全过程。